

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-068741
(43)Date of publication of application : 19.04.1985

(51)Int.Cl. H04L 11/00

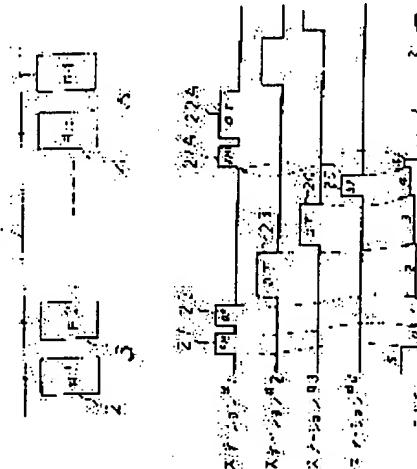
(21)Application number : 58-176385 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 26.09.1983 (72)Inventor : SHIMOKAWA KATSUYUKI

(54) DATA TRANSMISSION EQUIPMENT

(57)Abstract:

PURPOSE: To improve the transmission efficiency while keeping performance of real time by transmitting data of the own station after each transmission equipment detects the end of data transmission of a pre-stage data transmission equipment.

CONSTITUTION: A station #1 serving as a master station transmits a frame header FH a first to reset a slot counter SLC in each transmission equipment. The transmission equipments 2 □5 detect the lost carrier on a bus 1 due to the end of transmission of the frame header FH and brings the level of the SLC to "1". Although the right of transmission is given to the station #1 with the SLC of "1", when no data to be transmitted exists, a dummy packet DP is transmitted, the SLC goes to "2" by the lost carrier due to the end of transmission and the right of transmission is given to the transmission controller of the next order. When no frame header is detected for a prescribed time, each transmission controller has a function transmitting the frame header or the like to prevent the entire sequence from being stopped when the master staion is faulty or a slave station is faulty.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 公開特許公報 (A) 昭60-68741

⑯ Int.Cl.⁹
H 04 L 11/00識別記号
101府内整理番号
6866-5K

⑯ 公開 昭和60年(1985)4月19日

審査請求 未請求 発明の数 1 (全15頁)

⑯ 発明の名称 データ伝送装置

⑯ 特願 昭58-176385

⑯ 出願 昭58(1983)9月26日

⑯ 発明者 下川 勝千 東京都府中市東芝町1 東京芝浦電気株式会社府中工場内

⑯ 出願人 株式会社東芝 川崎市幸区堀川町72番地

⑯ 代理人 弁理士 則近 憲佑 外1名

明細書

1. 発明の名称

データ伝送装置

2. 特許請求の範囲

(1) 1本のデータ伝送路を介して複数のデータ伝送装置が結合され、予め定められた順序で自局のデータを他局へ順次送信して互いにデータの交換を行うデータ伝送装置において、送受信回路とHDLC用LSIの間に伝送路側御用付加回路を設け、この伝送路側御用付加回路にはキャリア検出手段と、フレームヘッダ、ダミーパケット、代理パケットの3種のパケットの伝送路側御用パケット送出手段と、フレームヘッダ検出手段と、前記フレームヘッダ検出手段と前記キャリア検出手段からの信号により自局の送信時期を検知する送信ステーション判定手段と、前記送信ステーション判定手段から送信要求が有り前記HDLC用LSIから送信要求のないとき前記ダミーパケットの送出を前記伝送路側御用パケット送出手段へ要求する送信制御回路と、前記フレームヘッダ検出手段から

一定時間内に前記フレームヘッダが検知されないとき前記フレームヘッダの送出を前記伝送路側御用パケット送出手段に要求するフレームヘッダ喪失タイマーと、前記キャリア検出手段から一定時間内にキャリアが検知されないとき前記代理パケットの送出を前記伝送路側御用パケット送出手段に要求する代理パケット送出タイマーを設けたことを特徴とするデータ伝送装置。

(2) 前記フレームヘッダ、前記ダミーパケット、前記代理パケットは「1」が7個以上連続しそれぞれが判別できる様にビット構成した前記特許請求の範囲第1項記載のデータ伝送装置。

(3) 前記送信ステーション判定手段は前記フレームヘッダ検出手段からの信号によりリセットされ前記キャリア検出手段からの信号によりインクリメントされるスロットカウンタと、所定の数値を設定するステーション番号設定回路と、前記スロットカウンタの計数値が前記所定の数値になつたとき自局の送信を前記送信制御回路へ要求する信号を出力する第1の一致検出手回路で構成した前

記載許請求の範囲第2項記載のデータ伝送装置。

(4) 前記伝送路制御用パケット送出手段は前記フレームヘッダを送出するフレームヘッダ送出回路と、前記スロットカウンタの計数値が予め定められた値になつたときフレームヘッダの送出を前記フレームヘッダ送出回路へ要求する信号を出力する第2の一致検出回路と、前記ダミーパケットを送出するダミーパケット送出回路と、前記代理パケットを送出する代理パケット送出回路で構成した前記特許請求の範囲第3項記載のデータ伝送装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明はデータ伝送装置に係り、特に一本のデータ伝送路で結合された複数のデータ伝送装置のそれぞれがリアルタイムでデータ交換できるデータ伝送装置に関するものである。

(発明の技術的背景とその問題点)

一本のデータ伝送路(バス)に多數の伝送ステーションを結合するデータ伝送システムでは伝送ステ

ーションの付加が容易であり、また、伝送ステーションの故障が全体の伝送システムへ波及しない特徴がある。このために比較的近距離のデータ伝送システムとして一般に広く使用されている。

この種の伝送ステーションに使用されるデータ伝送装置の送信権を得る方法として種々の方式が考案られているが代表的なものとして次の2種類がある。

(1) CSMA/CD(Caria Sensa Multi Acces / Collision Detect) 方式

(2) バトンバス(トーカンバス)方式

CSMA/CD 方式はイーサネットに代表される各ステーションが自由にバスを使う方法であるが伝送データが少ない場合は各ステーションの伝送要求の衝突がなく、効率もよいが伝送要求が重なると衝突がおこり、途端に待ち時間が多くなる欠点があることが知られている。リアルタイムが要求される伝送ステーションでは確実に一定時間内に任意のステーションの伝送要求が処理されることが必要でありこの方式はリアルタイムが要

求されるデータ伝送装置には適さない。また、上記欠点を補つたCSMA/CD 方式の変形例が種々提案されているが限界があり、結局、リアルタイムの要求されないOA(オフィスオートメーション)のような用途に多く使用されている。

一方、バトンバス方式は各伝送ステーションに順次バトンを渡すように伝送を許可するバトンパケットを伝送する方式である。各伝送ステーションは、バトンパケットを受信すると送信権を得、伝送要求があれば、任意のステーションへデータ伝送を行ないそれが完了すれば、次の伝送ステーションへバトンパケットを送信する。この方式では各伝送ステーションでの最大データ伝送量を規定しておけば一定時間内に伝送サービスをうけられることになるのでリアルタイム性がある。

しかし本方式は、バトンパケットを次々と渡すため、伝送の効率が良くないとともに伝送要求がない時でもバトンパケットを受信し、更に送信するため伝送を制御するマイクロコンピュータは、常にこれらの処理を行なう必要があり、いわゆる

オーバーヘッドが多くなる欠点がある。

以下、バトンバス方式について図を用いて詳しく説明する。第1図は、バス1に各ステーション(#1～#4)2, 3, 4, 5がつながつている状態を示す。ステーション又は局はここでは伝送装置を示すものとする。

第2図はバトンバス方式による伝送装置の構成図である。同図に於て、バス1に接続された送受信回路(TR)6はバス1上のシリアル信号を受信してロジックレベルに変換したり、ロジックレベルの信号を增幅してシリアル信号としてバス1上に送出したりする。エンコーダデコーダ(ED)6Aは通常のデジタルデータをクロック成分を含んだデジタルデータのマンチエスタコードに変換したロジックレベルの信号としてTR6に入力したり、逆にTR6から入力されたマンチエスタコードのロジックレベルの信号を通常のデジタル信号に変換したりする。送受信制御回路7はHDL C(High level Data Link Control)用LSIでありHDL Cに従つて送受信データの制御を行い

CPU9への割込みの発生、メモリ(M)8へのDMA(Direct Memory Access)等を行う。その他必要に応じてI/O11が設けられ、これ等が制御信号バス10により結合されて構成されている。

第3図はステーションが4台で構成されたときの各ステーション#1～#4が送出するシリアル信号の一例を示したタイムチャートである。ステーション#1の始めの信号は伝送するデータがなくバトンバス信号(BP)13のみをバス上に送出している。このBP13はステーション#2を指定しており、ステーション#2がこのBP13を受信するとHDL用LSI7は割込みを発生し、CPU9がこれを受けてバトンバス信号であることを判断し自局の送信権を得る。そして送信すべきデータをHDL用LSI7を経由してデータパケット18としてバス上に送出し、その後にステーション#3を指定したBP14を送出する。以下、同様にしてステーション#3、#4へ順次送信権を移しステーション#1に送信権が戻される。第3図はステーション#4でも送信するデータがない

のでバトンバス信号16のみを送出している。この様に伝送すべきデータがない時でもリアルタイム性を確保するために次のステーションを指定したバトンバス信号を送出する必要がある。この処理は現在の高性能16ビットマイクロプロセッサ(例えばインテル社製8086)でも50～100μsの処理時間を必要とし、バス上の信号はデータのない無駄な時間が多く発生すると共にマイクロプロセッサもオーバーヘッドが大きくなるという問題を有する。

(発明の目的)

本発明は上記事由に鑑みてなされたもので、その目的は一本のデータ伝送路で結合された複数のデータ伝送装置のそれぞれがリアルタイムでデータ変換できるデータ伝送装置に於て、伝送路制御用付加回路を新に設け従来のバトンバス方式より伝送効率がよく、しかもリアルタイム性を有し、マイクロプロセッサ(CPU)には伝送データのあるときのみ割込みが発生する様にしてオーバーヘッドを小さくし、また、任意のデータ伝送装置が

故障したとき残りのデータ伝送装置間で継続して運転できる信頼性の高いデータ伝送装置を安価に提供することにある。

(発明の概要)

本発明は上記目的を達成するために1本のデータ伝送路を介して複数のデータ伝送装置が結合され、予め定められた順序で自局のデータを他局へ順次送信して互いにデータの変換を行うデータ伝送装置において、送受信回路とHDL用LSIの間に伝送路制御用付加回路を設け、この伝送路制御用付加回路にはキャリア検出手段と、フレームヘッダ、ダミーパケット、代理パケットの3種のパケットの伝送路制御用パケット送出手段と、フレームヘッダ検出手段と、前記フレームヘッダ検出手段と前記キャリア検出手段からの信号により自局の送信時期を検知する送信ステーション判定手段と、前記送信ステーション判定手段から送信要求が有り前記HDL用LSIから送信要求のないとき前記ダミーパケットの送出を前記伝送路制御用パケット送出手段へ要求する送信制御回路と、前記

フレームヘッダ検出手段から一定時間内に前記フレームヘッダが検知されないとき前記フレームヘッダの送出を前記伝送路制御用パケット送出手段に要求するフレームヘッダ喪失タイマーと、前記キャリア検出手段から一定時間内にキャリアが検知されないとき前記代理パケットの送出を前記伝送路制御用パケット送出手段に要求する代理パケット送出タイマーを設け従来のバトンバス方式より伝送効率がよくしかもリアルタイム性を有し、CPUのオーバーヘッドを少なくし信頼性の向上したデータ伝送装置である。

(発明の実施例)

第4図は本発明のデータ伝送装置による一実施例の構成図である。同図に於て、1はデータ伝送路(バス)、6は送受信回路(TR)、8はメモリ(M)、9は中央演算制御装置(CPU)、10は制御信号バス、11は周辺機器その他の入出力インターフェース(I/O)、38は本発明の特徴である伝送路制御用付加回路、76はHDL用LSIである。本実施例ではCPU9としてインテ

ル社製80486、HDLC用LSIとして同社製82586を用いた場合を示す。

HDLC用LSI76と伝送路制御用付加回路38では第2図のFD6A及び送受信制御回路7の機能を有し、その中に本発明特有の機能を有する。すなわち伝送路制御用付加回路38には後述するフレームヘッダ(FH)、ダミーパケット(DP)、代理パケット(RP)の信号を送出する機能と、これ等の信号を受信したときそれを判断する機能を有している。

第5図は本発明のデータ伝送装置の動作を説明するためのタイムチャートで4台の伝送ステーション(♯1～♯4)で構成し、ステーション♯1を親局とした例である。

各伝送ステーションのデータ伝送装置には自局の送信時期を判断するためのスロットカウンタ(SLC)が設けられており、第5図中のSLCはその計数値を示している。

まず親局、ステーション♯1がFH21をバス1に送出すると、これを受信した他のステーション

#2～#4はそれぞれのSLCを'0'にリセットし、FH21の完了時点でインクリメントして'1'にする。以下、各ステーションははじめ定められた順序で送信すべきデータがあるときはデータパケット(DT)、送信すべきデータがないときはDPを送出する。第5図は♯1、♯2、♯3、♯4の順に送信順序を定めた例で、ステーション♯1はFH21の次にDP22を送出している。DP22を受信した他のステーション♯2～♯4は受信完了時にそれぞれのSLCを1つインクリメントして'2'とする。これによりステーション♯2は次が自局の送信順番であることを判断しDP22の受信を終了すると自局のデータをDT23として送出する。以下、同様にしてステーション♯3、♯4はDT24、DP25を出し、SLCの計数値は'5'となる。これによりステーション♯1は現在受信したDP25が最終ステーションであることを判断し受信を終了すると再びFH21Aを送信してすべてのSLCを'0'にリセットし次の周期の伝送に移る。次の周期ではステ

ーション♯1は送信するデータを有しDT22Aを送信している。

第6図はデータパケット(DT)の構成図である。DTはそのフレームの先頭にフラグ(F)70A、を配置しその後にHDLCのフォーマットに従つて相手先アドレス(DA)71、送信元アドレス(SA)72、コマンド(C)73、データ(DATA)74、フレームチェックシーケンス(FCS)75と続き最後にフラグ(F)70Bを送出して1フレームのデータパケットを形成した謂ゆるHDLCのデータである。

第7図(a)は前述フラグ(F)70A、70Bのビット構成を示したものである。

HDLCのデータパケット(DT)はこのフラグ(01111110)で前後を囲むと共に、パケット内ではフラグと同じく1が6個並ぶデータがない様に「0(ゼロ)挿入」が行なわれ、受信時に0が削除される。つまり、フラグ以外は1の連続は最大5個となる様に制御されている。

第7図(b)、(c)、(d)に示したフレームヘッダ(FH)

ダミーパケット(DP)、代理パケット(RP)は本発明で新に定義した信号のビット構成を示したものである。これらの信号は前記データパケット(DT)のビット条件と異なる条件を持つた伝送路制御用パケットとして伝送路制御用付加回路38で生成される。これらの伝送路制御用パケットは16ビットで構成され1が7個以上連続し、それぞれを判別できる別種のコードで定義する。第7図では連続した1の数がFHでは8個、DPでは10個、RPでは12個と定めた例を示している。

FHは親局となつたステーションが伝送周期の最初に送信して各ステーションのSLCを0にリセットする信号で第5図中のFH21、21Aの様に用いる。DPは送出すべきデータがないときに各ステーションのSLCをインクリメントするために送出する信号で第5図中のDP24、25の様に用いる。RPは任意のステーションが故障または、何等かの理由でパケットが送出されないときに、親局となつたステーションが一定時間の間パケットが送出されないことを検知して代りに送信

する代理パケットである。

第8図は、上記伝送路制御用パケットによる制御を実行する伝送路制御用付加回路38の詳細ブロック図である。

以下、第4図と第8図を用いて更に詳しく説明する。CPU9は実施例ではインテル社製の80186を使用しており、送信するデータがメモリ(M)8上有るときには制御信号バス10を介してHDLC用LSI76の図示しないCA信号をセットして知らせる。これによりHDLC用LSI76はメモリ(M)8上のデータをとり込み送信要求信号(RTS)35をアクティブ(付勢)にして送信データができたことを伝送路制御付加回路38に知らせて待機する。

なお、英文字信号各上にバー(—)がある信号は負論理を示し、アクティブ(付勢)時は'0'であり、バーのない信号は正論理を示し、アクティブ時に'1'である。

一方、バス1を介して他局から送信されたマンチエスタコードのシリアルデータは送受信回路

(TR)6により受信され伝送路制御付加回路38の受信信号(RCV)36として入力される。この受信信号はデコーダ(DEC)40によりNRZ信号に戻すと共に受信クロック(RXC)30と受信データ(RXD)31が分離して抽出されHDLC用LSI76に入力される。受信データ(RXD)31はフレームヘッダ検出回路(FHD)43へも入力され、フレームヘッダであると判定したときリセット信号58を出力してスロットカウンタ(SLC)45をリセットする。FHD43は内部にシフトレジスタを有しこのシフトレジスタに受信データ(RXD)31を取込んで定められた'0','1'のビットの組合せであるかを判断してフレームヘッダを検知する。

キャリア検知回路(CS)41は受信信号(RCV)36の有無を検知するものでRCV36が有るときキャリア検出信号57を出力する。このキャリア検出信号57はタイマー(TD)44に入力されその出力信号59はキャリア検出信号57がなくなつてから一定時間後になくなるオフディレイ信号

でSLC45はこの信号59がアクティブからノンアクティブに変化したときインクリメントされる。すなわち、SLC45はフレームヘッダを検出したときリセットされフレームヘッダがなくなるときインクリメントされて'1'になり、その後各パケットの受信完了時にインクリメントされる。

SLC45の計数値60は一致検出回路(COIN)46に入力されステーション番号設定回路(STNO)48で設定されたステーション番号信号61と比較される。今、仮りにステーション番号信号61を'1'定めると、第5図に示した様にFH21の終了時点から一定時間後にSLCは'1'となるのでこのときCOIN46は一致検出信号63を出力する。送信制御回路56はこの信号63がアクティブになつたときHDLC用LSI76から入力された送信要求信号(RTS)35がアクティブになつていると送信許可信号(CTS)34をアクティブにしてHDLC用LSI76に送信を許可する。また、この送信許可信号(CTS)34は送信データ制御回路55へも同時に入力されこ

れにより図示しないクロック発生回路からのクロック信号を分周して送信クロック(TXC)32を出力しHDLC用LSI76へ供給する。HDLC用LSI76はメモリ(M)8から取込んだデータを送信クロック(TXC)32に同期した送信データ(TXD)33として出力する。送信データ制御回路55はこの送信データ(TXD)33を受けエンコーダー(ENC)42への入力信号67を出力しENC42は送信データ(TXD)33をマンチエスタコードに変換して送信信号(TRM)37として出力し、送受信回路(TR)6を介して増幅された信号37をバス1へ送出し他のステーションに伝送する。

一致検出信号63がアクティブになつたとき送信要求信号(RTS)35がノンアクティブであれば送信制御回路56はダミーパケット送出回路(DMS)54に対してダミーパケット送出要求信号68を出力しDMS54からはENC42, TR6を介してバス1にダミーパケットが送出される。

SLC45の計数値60は別の一致検出回路47

へも入力されステーション最大番号設定回路(MAXNO)49で設定された設定値62と比較される。この設定値は親局として指定するステーションのMAXNO49に設定されステーション数+1IC設定される。第5図の実施例ではステーション#1のMAXNO49が'5'IC設定され、最終ステーション(第5図ではステーション#4)の送信データの受信を終了後、一定時間後に計数値60は'5'となるので親局のCOIN47は一致検出信号64が出力される。この信号64により親局(ステーション#1)はフレームヘッダ送出回路(FHS)52を起動させ、ENC42, TR6を介してバス1ICフレームヘッダを送出し、他のステーションのSLCを'0'ICリセットする。

キャリア検知回路(CS)41のキャリア検出信号57は代理パケット送出タイマ(RPT)51へも入力され、一定時間キャリア検出信号57が検出されないとき代理パケット送出要求信号66を出力して代理パケット送出回路53を起動させ、ENC42, TR6を介してバス1IC代理パケットを

送出する。この機能により任意のステーションが故障または何等かの理由で送信ができないとき、そのステーションに代つて親局が代理パケットを送信するので残りの健全ステーションのみでデータ伝送を行うことができる。

また、フレームヘッダ検出回路(FHD)43のフレームヘッダ検出信号58はフレームヘッダ喪失タイマー(FHLT)50へも入力され、フレームヘッダが一定時間内に受信されないときFHLT50はフレームヘッダ送信要求信号65を出力してフレームヘッダ送出回路(FHS)52起動させフレームヘッダを送出する。FHLT50が監視する一定時間Tdはステーションによつて少しづつ異なる様に $Td = a + b \cdot n$ (但し、nはステーション番号、a, bは定数)に設定する。この機能により親局が故障してフレームヘッダが送信できないとき、最も若い番号のステーションが親局に代つて自動的にフレームヘッダを送信し、最も若い番号のステーションも故障のときは順次、次に若い番号のステーションが代つて自動的にICフレームヘ

ッダを送信する。

本実施例ではHDLC用LSIとしてインテル社の82586を用いたが、このLSIはデータの送受信診断機能、4チャネルDMA機能、バス制御機能、送受信フレームの自動送受信チエイン機能など高度の機能を有し、内部的には日経エレクトロニクス(NO,307)P91~100に示されている様にパラレルプロセッサとなつており主にイーサーネット用として作られているが汎用性も有しておりHDLCへも用いることができる。

本発明による伝送路制御用付加回路はHDLC用LSI(82586)IC比べれば回路の複雑さは容易でありセミカスタムLSI等により安価に作ることができる。この様な比較的簡単なハードウエアの伝送路制御用付加回路を追加することでHDLC用LSIの高度な機能を活かしてN対Nのステーション間の自由なデータ伝送が効率的にじかもリアルタイム性を有して実行することができる。

なお、HDLC用LSIはインテル社製8274、マルチプロトコルシリアルコントローラ等、他の

LSIを使用することもできる。

また、データ伝送路はバス形について説明したがスター形、木形としてもよく、更に送受信回路に光電変換器を備え伝送路に光ファイバを用いて光スター・カブラーにより各ステーションを結合することもできる。

[発明の効果]

本発明のデータ伝送装置によれば送信すべきデータのないときCPUに対して削り込処理を行なうことなくダミーパケットのみを送出して次局へ送信権を委譲するので従来のバトンバス方式より伝送効率がよくしかもリアルタイム性を有し、マイクロプロセッサ(CPU)のオーバーヘッドを少なくでき、また、任意の伝送ステーションが故障したとき残りの伝送ステーション間で継続してデータ伝送を行うことができるので信頼性が向上しHDLC用の市販の伝送用LSIが使用できるので高度の伝送機能を有したデータ伝送装置を安価に提供することができる。

4. 図面の簡単な説明

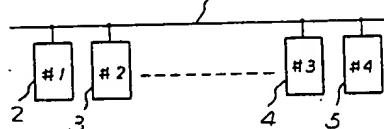
第1図はデータ伝送システムの一般的な構成図、第2図はバトンバス方式による従来のデータ伝送装置の構成図、第3図は従来のバトンバス方式によるデータ伝送装置の動作を説明するためのタイムチャート、第4図は本発明のデータ伝送装置の一実施例を示す構成図、第5図は本発明のデータ伝送装置の動作を説明するためのタイムチャート、第6図はHDL Cのデータパケットの構成図、第7図はフレームヘッダ、ダミーパケット、代理パケットのビット構成図、第8図は第4図中の伝送路制御用付加回路38の詳細ブロック構成図である。

- 1…データ伝送路(バス)
- 2~5…伝送ステーション 6…送受信器(TR)
- 6A…エンコーダデコーダ 7…送受信回路
- 8…メモリ(M)
- 9…中央演算制御装置(CPU)
- 11…入出力インターフェース(I/O)
- 38…伝送路制御用付加回路
- 40…デコーダ(DEC)

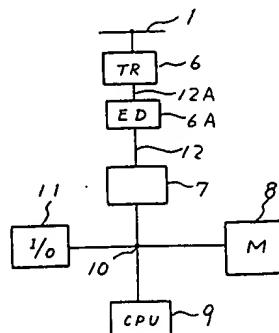
- 41…キャリア検知回路(CS)
- 42…エンコーダ(ENC)
- 43…フレームヘッダ検出回路(FHD)
- 44…タイマー(TD)
- 45…スロットカウンタ(SLC)
- 46, 47…一致検出回路
- 48…ステーション番号設定回路(STNO)
- 49…ステーション最大番号設定回路(MAXNO)
- 50…フレームヘッダ喪失タイマー(FHLT)
- 51…代理パケット送出タイマ(RPT)
- 52…フレームヘッダ送出回路(FHS)
- 53…代理パケット送出回路(RPS)
- 54…ダミーパケット送出回路(DMS)
- 55…送信データ制御回路
- 56…送信制御回路
- 76…HDL C用LSI

(7317) 代理人 弁理士 則 近 邦 佑 (ほか1名)

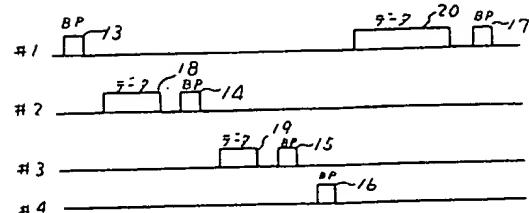
第1図



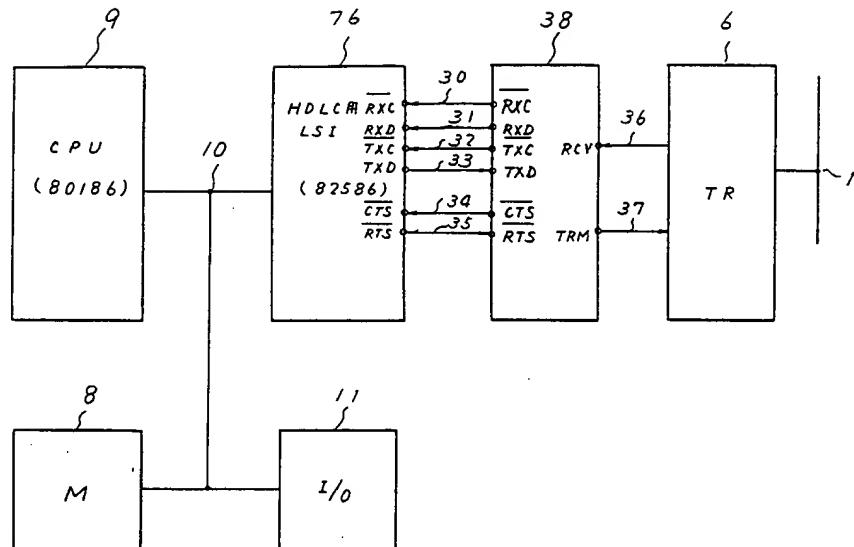
第2図



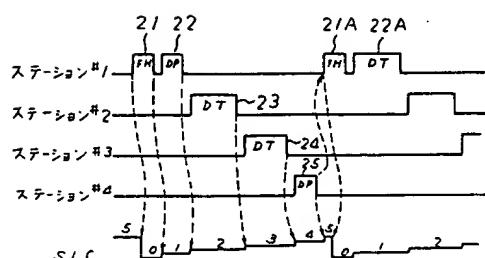
第3図



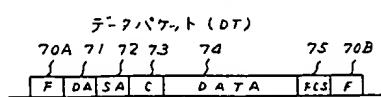
第 4 図



第 5 図



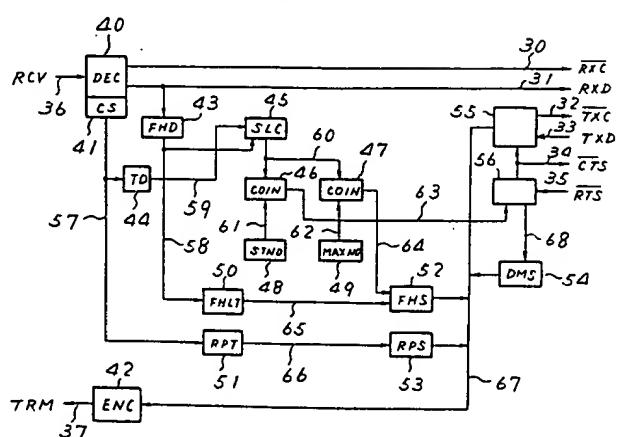
第 6 図



第 7 図

- (a) フラフ' (F) 01111110
 (b) フル-ムヘフ' (FH) 0011111111000000
 (c) フミ-ハフ' (DP) 0011111111100000
 (d) ハフ' (RP) 0011111111100000

第 8 図



手 続 楠 正 哲 (自発)

明 細 書

昭和 59.2.2 日

特許庁長官 若杉和夫 執

発明の名称

データ伝送装置

特許請求の範囲

(1) 1本のデータ伝送路を介して複数のデータ伝送装置が結合され、予め定められた順序で自局のデータを他局へ順次送信して互いにデータの交換を行うデータ伝送装置において、送受信回路と伝送制御用LSIの間に伝送制御用付加回路を設け、この伝送制御用付加回路にはキャリア検出手段と、フレームヘッダ、ダミーパケット、代理パケットの3種のパケットの伝送制御用パケット送出手段と、フレームヘッダ検出手段と、前記フレームヘッダ検出手段と前記キャリア検出手段からの信号により自局の送信時期を検知する送信ステーション判定手段と、前記送信ステーション判定手段から送信要求が有り前記伝送制御用LSIから送信要求のないとき前記ダミーパケットの送出を前記伝送制御用パケット送出手段へ要求する送信制御回路と、前記フレームヘッダ検出手段から一定時

1. 事件の表示

特願昭 58-176385号

2. 発明の名称

データ伝送装置

3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

4. 代理人

〒100

東京都千代田区内幸町1-1-6

東京芝浦電気株式会社東京事務所内

(7317) 井理士 則近 慎佑



5. 補正の対象

(1) 明細書全文

(2) 図面

6. 補正の内容

(1) 明細書全文を別紙のとおり補正する。

(2) 図面第9図を追加する。

間に前記フレームヘッダが検知されないとき前記フレームヘッダの送出を前記伝送制御用パケット送出手段に要求するフレームヘッダ喪失タイマーと、前記キャリア検出手段から一定時間内にキャリアが検知されないとき前記代理パケットの送出を前記伝送制御用パケット送出手段に要求する代理パケット送出タイマーを設けたことを特徴とするデータ伝送装置。

(2) 前記伝送制御用LSIをHDL用LSIまたはCSMA/CD用LSIとした前記特許請求の範囲第1項記載のデータ伝送装置。

(3) 前記フレームヘッダ、前記ダミーパケット前記代理パケットは、1'が7個以上連続しそれぞれが判別できる様にビット構成した前記特許請求の範囲第2項記載のデータ伝送装置。

(4) 前記送信ステーション判定手段は前記フレームヘッダ検出手段からの信号によりリセットされ前記キャリア検出手段からの信号によりインクリメントされるスロットカウンタと、所定の数値を設定するステーション番号設定回路と、前記ス

ロットカウンタの計数値が前記所定の数値になつたとき自局の送信を前記送信制御回路へ要求する信号を出力する第1の一致検出回路で構成した前記特許請求の範囲第3項記載のデータ伝送装置。

(5) 前記伝送制御用パケット送出手段は前記フレームヘッダを送出するフレームヘッダ送出回路と、前記スロットカウンタの計数値が予め定められた値になつたときフレームヘッダの送出を前記フレームヘッダ送出回路へ要求する信号を出力する第2の一致検出回路と、前記ダミーパケットを送出するダミーパケット送出回路と、前記代理パケットを送出する代理パケット送出回路で構成した前記特許請求の範囲第4項記載のデータ伝送装置。

(出願人印)

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はデータ伝送装置に係り、特に一本のデータ伝送路で結合された複数のデータ伝送装置のそれぞれがリアルタイムでデータ交換できるデータ伝送装置に関する。

〔発明の技術的背景とその問題点〕

一本のデータ伝送路(バス)に多数の伝送ステーションを結合するデータ伝送システムでは伝送ステーションの付加が容易であり、また、伝送ステーションの故障が全体の伝送システムへ波及しない特徴がある。このために比較的近距離のデータ伝送システムとして一般に広く使用されている。

この種の伝送ステーションに使用されるデータ伝送装置の伝送路使用権の制御の方法として種々の方式が考えられているが代表的なものとして次の2種類がある。

- (1) CSMA/CD方式
- (2) トーカンバス方式

CSMA/CDはCarrie Sensing Multi Access/

Collision Detectの略称で米国DEC社、

INTEL社、XEROX社のイーサーネットに代表され各ステーションが自由にバスを使う方法であるが伝送データが少ない場合は各ステーションの伝送要求の衝突がなく、効率もよいが伝送要求が重なると衝突がおこり、途端に待ち時間が多くなる欠点があることが知られている。リアルタイムが要求される伝送ステーションでは確実にある一定時間内に任意のステーションの伝送要求が処理されることが必要でありこの方式はリアルタイムが要求されるデータ伝送装置には適さない。また、上記欠点を補つたCSMA/CD方式の変形例が種々提案されているが限界があり、結局、リアルタイムの要求されないOA(オフィスオートメーション)のような用途に多く使用されている。

一方、トーカンバス方式は米国データポイント社のアーキネットに代表され各伝送ステーションに順次パケットを渡すように伝送を許可するトーカンパケットを伝送する方式である。各伝送ステーションは、トーカンパケットを受信すると伝送路使用権を得、

伝送データがあれば、任意のステーションへデータ伝送を行ないそれが完了すれば、次の伝送ステーションへトーカンパケットを送信して引き継ぎする。この方式では各伝送ステーションでの最大データ伝送量を規定しておけば一定時間内に伝送サービスをうけられることになるのでリアルタイム性がある。

しかし本方式は、トーカンパケットを次々に渡すため、伝送の効率が良くないとともに伝送要求がない時でもトーカンパケットを受信し、更に送信するため伝送を制御するマイクロコンピュータは、常にこれらの処理を行なう必要があり、いわゆるオーバーヘッドが多くなる欠点がある。

以下、トーカンバス方式について図を用いて詳しく説明する。第1図は、バス1に各ステーション(#1～#4)2, 3, 4, 5がつながっている状態を示す。ステーション又は局はここでは伝送装置を示すものとする。

第2図はトーカンバス方式による伝送装置の構成図である。同図において、バス1に接続された送

受信回路(TR)6はバス1上のシリアル信号を受信してロジックレベルに変換したり、ロジックレベルの信号を增幅してシリアル信号としてバス1上に送出したりする。エンコーダデコーダ(ED)6Aは通常のデジタルデータをクロック成分を含んだデジタルデータのマンチエスタコードに変換したロジックレベルの信号としてTR6に入力したり、逆にTR6から入力されたマンチエスタコードのロジックレベルの信号を通常のデジタル信号に変換したりする。送受信制御回路7はHDL C(High level Data Link Control)用LSIでありHDL Cは從つて送受信データの制御を行いCPU9への割込みの発生、メモリ(M)8へのDMA(Direct Memory Access)等を行う。その他必要に応じてI/O11が設けられ、これ等が制御信号バス10により結合されて構成されている。

第3図は上述のようなステーションが4台で伝送システムが構成されたときの各ステーション#1～#4が送出するシリアル信号の一例を示した

タイムチャートである。ステーション#1の始めの信号は伝送するデータがなくトーカンバス信号(TP)13のみをバス上に送出している。このTP13はステーション#2を指定しており、ステーション#2がこのTP13を受信するとHDLC用LS17は割込みを発生し、CPU9がこれを受付けてトーカンバス信号であることを判断し自局の伝送路使用権を得る。そして送信すべきデータをHDLC用LS^V7を経由してデータパケット18としてバス上に送出し、その後にステーション#3を指定したTP14を送出する。以下、同様にしてステーション#3、#4へ順次伝送路使用権を移しステーション#1に送信権が戻される。第3図はステーション#4でも送信するデータがないのでトーカンバス信号16のみを送出している。この様に送信すべきデータがない時でもリアルタイム性を確保するために次のステーションを指定したトーカンバス信号を送出する必然がある。この処理は現在の高性能16ビットマイクロプロセッサ(例えばインテル社製8086)でも50~100μsの

処理時間を必要とし、バス上の信号はデータのない無駄な時間が多く発生すると共にマイクロプロセッサもオーバーヘッドが大きくなるという問題を有する。

(発明の目的)

本発明は上記事由に鑑みてなされたもので、その目的は一本のデータ伝送路で結合された複数のデータ伝送装置のそれぞれがデータ交換できるバス形伝送路のデータ伝送装置に於て、市販の伝送制御用LSIを用いると共に伝送路制御用付加回路を新設け従来のトーカンバス方式より伝送効率がよく、しかもリアルタイム性を有し、マイクロプロセッサ(CPU)には伝送データのあるときのみ割込みが発生する様にしてオーバーヘッドを小さくし、また、任意のデータ伝送装置が故障したとき残りのデータ伝送装置間で継続して運転できる信頼性の高いデータ伝送装置を安価に提供することにある。

(発明の概要)

本発明は上記目的を達成するために1本のデ-

ータ伝送路を介して複数のデータ伝送装置が結合され、予め定められた順序で自局のデータを他局へ順次送信して互いにデータの交換を行なうデータ伝送装置において、送受信回路と伝送制御用LSIの間に伝送制御用付加回路を設け、この伝送制御用付加回路にはキャリア検出手段と、フレームヘッダ、ダミーパケット、代理パケットの3種のパケットの伝送制御用パケット送出手段と、フレームヘッダ検出手段と、前記フレームヘッダ検出手段と前記キャリア検出手段からの信号により自局の送信時期を検知する送信ステーション判定手段と、前記送信ステーション判定手段から送信要求が有り前記伝送制御用LSIから送信要求のないとき前記ダミーパケットの送出を前記伝送制御用パケット送出手段へ要求する送信制御回路と前記フレームヘッダが検知されないとき前記フレームヘッダの送出を前記伝送制御用パケット送出手段へ要求するフレームヘッダ喪失タイマーと、前記キャリア検出手段から一定時間内にキャリアが検知

されないとき前記代理パケットの送出を前記伝送制御用パケット送出手段に要求する代理パケット送出タイマーを設け従来のトーカンバス方式より伝送効率がよくしかもリアルタイム性を有し、CPUのオーバーヘッドを少なくし信頼性の向上したデータ伝送装置である。

(発明の実施例)

第4図は本発明のデータ伝送装置による一実施例の構成図である。同図に於て、1はデータ伝送路(バス)、6は送受信回路(TR)、8はメモリ(M)、9は中央演算制御装置(CPU)、10は制御信号バス、11は周辺機器その他の入出力インターフェース(I/O)、38は本発明の特徴である伝送制御用付加回路、76は伝送制御用LSIである。本実施例ではCPU9としてインテル社製8086、伝送制御用LSI76として同社製82586を用いた場合を示す。

伝送制御用LSI76と伝送制御用付加回路38では第2図のビリ6A及び送受信制御回路7の機能を有し、その他に本発明特有の機能を有する。

すなわち伝送制御用付加回路38には後述するフレームヘッダ(FH)、ダミーパケット(DP)、代理パケット(RP)の信号を送出する機能と、これ等の信号を受信したときそれぞれを判断する機能を有している。

第5図は本発明のデータ伝送装置の動作を説明するためのタイムチャートで4台の伝送ステーション(#1～#4)で伝送システムを構成し、ステーション#1を親局とした例である。

各伝送ステーションのデータ伝送装置には自局の送信時期を判断するための後述するスロットカウンタ(SLC)が設けられており、第5図中のSLCはその計数値を示している。

まず親局、ステーション#1がFH21をバス1に送出すると、これを受信した他のステーション#2～#4はそれぞれのSLCを'0'にリセットし、FH21の終了時点でインクリメントして'1'にする。以下、各ステーションは予じめ定められた順序で送信すべきデータがあるときはデータパケットDT、送信すべきデータがないと

きはダミーパケットDPを送出する、第5図は#1、#2、#3、#4の順に送信順序を定めた例で、ステーション#1は送信すべきデータがないのでFH21の次にRP22を送出している。

DP22を受信した他のステーション#2～#4は受信完了時点にそれぞれのSLCを1つインクリメントして'2'とする。これによりステーション#2は次が自局の送信順番であることを判断し自局のデータをDT23として送出する。以下、同様にしてステーション#3、#4はDT24、DP25を送出し、SLCの計数値は'5'となる。これによりステーション#1は現在受信したDP25が最終ステーションであることを判断し受信を終了すると再びFH21Aを送信してすべてのSLCを'0'にリセットし次の周期の伝送に移る。次の周期ではステーション#1は送信するデータを有しDT22Aを送信している。

第6図はデータパケット(DT)の一実施例図である。DTはそのフレームの先頭にフラグ(F)70A、を配置しその後にHDLCのフォーマット

に従つて相手先アドレス(DA)71、送信元アドレス(SA)72、コマンド(C)73、データ(DATA)74、フレームチェックシーケンス(FCS)75と続き次後にフラグ(F)70Bを送出して1フレームのデータパケットを形成した謂ゆるHDLCのデータである。

第7図(a)は前述フラグ(F)70A、70Bのビット構成を示したものである。

HDLCのデータパケット(DT)はこのフラグ(01111110)で前後を曲むと共に、パケット内ではフラグと同じく1が6個並ぶデータがない様に「0(ゼロ)挿入」が行なわれ、受信時に0が削除される。つまり、フラグ以外は1の連続は最大5個となる様に制御されている。

第7図(b)、(c)、(d)に示したフレームヘッダ(FH)、ダミーパケット(DP)、代理パケット(RP)は本発明で新たに定義した伝送制御用信号のビット構成を示したものである。これらの信号は前記データパケット(DT)のビット条件と異なる条件を持つた伝送制御用パケットとして伝送制御用付

加回路38で生成される。これらの伝送制御用パケットは16ビットで構成され1が7個以上連続し、それを判別できる別種のコードで定義する。第7図では連続した1の数がFHでは8個、DPでは10個、RPでは12個と定めた例を示している。

FHは親局となつたステーションが伝送周期の最初に送信して各ステーションのSLCを0にリセットする信号で第5図中のFH21、21Aの様に用いる。RPは送出すべきデータがないときに各ステーションのSLCをインクリメントするために出す信号で第5図中のDP22、25の様に用いる。RPは任意のステーションが故障または、何等かの理由でパケットが送出されないとときに、親局となつたステーションが一定時間の間パケットが送出されないと検知して代りに送信する代理パケットである。

第8図は、上記伝送制御用パケットによる制御を実行する伝送制御用付加回路38の詳細ブロック図である。

以下、第4図と第8図を用いて更に詳しく説明する。CPU9は実施例ではインテル社製の60186を使用しており、送信するデータがメモリ(M)8上にあるときには制御信号バス10を介して伝送制御用LSI76の表示しないCA信号をセットして知らせる。これによりLSI76はメモリ(M)8上のデータをとり込み送信要求信号(RTS)35をアクティブ(付勢)にして送信データができたことを伝送制御付加回路38に知らせて待機する。

なお、図中、英文字信号各上にバー(ー)がある信号は負論理を示し、アクティブ(付勢)時は'0'であり、バーのない信号は正論理を示し、アクティブ時に'1'である。

一方、バス1を介して他局から送信されたマンチエスタコードのシリアルデータは送受信回路(TR)6により受信され伝送制御付加回路38の受信信号(RCV)36として入力される。この受信信号はデコーダ(DEC)40によりNRZ信号に戻すと共に受信クロック(RXC)30と受信データ(RXD)31に分離して抽出され伝送制御用

LSI76に入力される。受信データ(RXD)31はフレームヘッダ検出回路(FHD)43へも入力され、フレームヘッダであると判定したときリセット信号58を出力してスロットカウンタ(SLC)45をリセットする。FHD43は内部ICシフトレジスタを有しこのシフトレジスタに受信データ(RXD)31を取込んで定められた'0'、'1'のビットの組合せであるかを判断してフレームヘッダを検知する。

キヤリア検知回路(CS)41は受信信号(RCV)36の有無を検知するものでRCV36が有るときキヤリア検出信号57を出力する。このキヤリア検出信号57はタイマー(TD)44に入力されその出力信号59はキヤリア検出信号57がなくなつてから一定時間後になくなるオフディレイ信号でSLC45はこの信号59がアクティブからノンアクティブに変化したときインクリメントされる。すなわち、SLC45はフレームヘッダを検出したときリセットされフレームヘッダがなくなるときインクリメントされて'1'になり、その後

各パケットの受信完了時にインクリメントされる。

SLC45の計数値60は一致検出回路(COIN)46に入力されステーション番号設定回路(STNU)48で設定されたステーション番号信号61と比較される。今、仮りにステーション番号信号61を'1'と定めると、第5図に示した様にFH21の終了時点から一定時間後にSLCは'1'となるのでこのときCOIN46は一致検出信号63を出力する。送信制御回路56はこの信号63がアクティブになつたときLSI76から入力された送信要求信号(RTS)35がアクティブになつていると送信許可信号(CTS)34をアクティブにしてLSI76に送信を許可する。また、この送信許可信号(CTS)34は送信データ制御回路55へも同時に入力されこれにより図示していないクロック発生回路からのクロック信号を分周して送信クロック(RXC)32を出力しLSI76へ供給する。伝送制御用LSI76はメモリ(M)8から取込んだデータを送信クロック(RXC)32に同期した送信データ(TXD)33として出力する。送信データ

制御回路55はこの送信データ(TXD)33を受けエンコーダー(ENC)42への入力信号67を出力しENC42は送信データ(TXD)33をマンチエスタコードに変換して送信信号(TRN)37として出力し、送交信回路(TR)6を介して增幅された信号37を前述のデータパケットDTとしてバス1へ送出し他のステーションに伝送する。

一致検出信号63がアクティブになつたとき送信要求信号(RTS)35がノンアクティブであれば送信制御回路56はダミーパケット送出回路(DMS)54に対してダミーパケット送出要求信号68を出力しDMS54からはENC42、TR6を介してバス1に前述のダミーパケツトリドが送出される。

SLC45の計数値60は別の一致検出回路47へも入力されステーション最大番号設定回路(MAXNU)49で設定された設定値62と比較される。この設定値は親局として指定するステーションのMAXNU49に設定されステーション数+1に設定

のみでデータ伝送を行うことができる。

また、フレームヘッダ検出回路(FHD)43のフレームヘッダ検出信号58はフレームヘッダ喪失タイマー(FHLT)50へも入力され、フレームヘッダーが一定時間内に受信されないときFHLT50はフレームヘッダ送信要求信号65を出力してフレームヘッダ送出回路(FHS)52を起動させフレームヘッダを送出する。FHLT50が監視する一定時間T'dはステーションによつて少しづつ異なる様にT'd=a+b, n(但し、nはステーション番号、a, bは定数)に設定する。この機能により親局が故障してフレームヘッダが送信できないとき、最も若い番号のステーションが親局に代つて自動的にフレームヘッダを送信し、最も若い番号のステーションも故障のときは順次、次に若い番号のステーションが代つて自動的にフレームヘッダを送信する。

(以下省略)

される。第5図の実施例ではステーション#1のMAXNO49が'5'に設定され、最終ステーション(第5図ではステーション#4)の送信データの受信を終了後、一定時間後に計数値60は'5'となるので親局のCOIN47は一致検出信号64が出力される。この信号64により親局(ステーション#1)はフレームヘッダ送出回路(FHS)52を起動させ、EINC42, TR6を介してバス1に前述のフレームヘッダFHを送出し、他のステーションのSLCを'0'にリセットする。

キヤリア検出回路(CS)41のキヤリア検出信号57は代理パケット送出タイマ(RPT)51へも入力され、一定時間キヤリア検出信号57が検出されないとき代理パケット送出要求信号66を出力して代理パケット送出回路53を起動させ、EINC42, TR6を介してバス1に前述の代理パケットRPを送出する。この機能により任意のステーションが故障または何等かの理由で送信ができないとき、そのステーションに代つて親局が代理パケットを送信するので残りの健全ステーション

〔発明の他の実施例〕

本発明のデータ伝送装置はデータパケットLTとして第9図に示すCSMA/CDのデータを用いることができる。

このデータパケットはフレームの先頭にプリアンブル(PR)80を有し、その後にCSMA/CDのフォーマットに従つて、相手先アドレス(DA)81、送信元アドレス(SA)82、タイプフィールド(TYP)83、データ(DATA)84、フレームチェックシーケンス(FCS)85と続いて1つのパケットを形成する。

プリアンブル(PR)80は1010……と'1'と'0'が交互にくり返され最後に'1'が2つ続いて終り、通常64ビット以内で構成される。

前述の伝送制御用パケットFH, DP, RPはプリアンブル(PR)80より少ないビット数で構成されておりプリアンブルのビット数以内で伝送制御用パケットを検知するようにすればCSMA/CDのデータを用いても同様に本発明を実施することができる。

本実施例では伝送制御用LSIとしてインテル社の82586を用いたが、このLSIはデータの送受信診断機能、4チャネルDMA機能、バス制御機能、送受信フレームの自動送受信チエイン機能など高度の機能を有し、内部的には日経エレクトロニクス(NO.3.07)P91~100に示されている様にパラレルプロセッサとなつており主にイーサーネット用として作られているが汎用性も有しておりHDLICにもCSMA/CDにも用いることができる。

本発明による伝送制御用付加回路は伝送制御用LSI(82586)に比べれば回路の複雑さは容易でありセミカスタムLSI等により安価に作ることができる。この様な比較的簡単なハードウェアの伝送制御用付加回路を追加することで伝送制御用LSIの高度な機能を活かしてN対Nのステーション間の自由なデータ伝送が効率的にしかもリアルタイム性を有して実行することができる。

なお、伝送制御用LSIはインテル社製8274、

マルチプロトコルシリアルコントローラ等、他のLSIを使用することもできる。

また、データ伝送路はバス形について説明したがスター形、木形としてもよく、更に送受信回路に光電変換器を備え伝送路に光ファイバを用いて光スター・カプラにより各ステーションを結合することもできる。

[発明の効果]

本発明のデータ伝送装置によれば送信すべきデータのないときCPUに対して割り込処理を行なうことなくダミーパケットのみを送出して次局へ伝送路使用権を委譲するので従来のトーカンバス方式より伝送効率がよくしかもリアルタイム性を有し、マイクロプロセッサ(CPU)のオーバーヘッドを少なくでき、また、任意の伝送ステーションが故障したとき残りの伝送ステーション間で継続してデータ伝送を行うことができるので信頼性が向上し伝送制御用の市販のLSIが使用できるので高度の伝送機能を有したデータ伝送装置を安価に提供することができる。

4. 図面の簡単な説明

第1図はデータ伝送システムの一般的な構成図、第2図はトーカンバス方式による従来のデータ伝送装置の構成図、第3図は従来のトーカンバス方式によるデータ伝送装置の動作を説明するためのタイムチャート、第4図は本発明のデータ伝送装置の一実施例を示す構成図、第5図は本発明のデータ伝送装置の動作を説明するためのタイムチャート、第6図はHDL Cのデータパケットの構成図、第7図はフレームヘッダ、ダミーパケット、代理パケットのビット構成図、第8図は第4図中の伝送制御用付加回路38の詳細プロック構成図、第9図は本発明の他の実施例によるCSMA/CDのデータパケットの構成図である。

- 1 …… データ伝送路(バス)
- 2~5 …… 伝送ステーション 6 …… 送受信器(TR)
- 6A …… エンコーダ/デコーダ 7 …… 送受信回路
- 8 …… メモリ(M)
- 9 …… 中央演算制御装置(CPU)

- 11 …… 入出力インターフェース(I/O)
- 38 …… 伝送制御用付加回路
- 40 …… デコーダ(DEC)
- 41 …… キャリア検知回路(CS)
- 42 …… エンコーダ(ENC)
- 43 …… フレームヘッダ検出回路(FHD)
- 44 …… タイマー(TD)
- 45 …… スロットカウンタ(SLC)
- 46, 47 …… 一致検出回路
- 48 …… ステーション番号設定回路(STNO)
- 49 …… ステーション最大番号設定回路(MAXNO)
- 50 …… フレームヘッダ喪失タイマー(FHLT)
- 51 …… 代理パケット送出タイマー(RPT)
- 52 …… フレームヘッダ送出回路(FHS)
- 53 …… 代理パケット送出回路(RPS)
- 54 …… ダミーパケット送出回路(DMS)
- 55 …… 送信データ制御回路
- 56 …… 受信データ制御回路
- 76 …… 伝送制御用LSI

第 9 図

